

Sujet de master recherche « Optimisation des boucles dans SynDEx » 2006–2007

Optimisation des boucles dans SynDEx

Encadrant principal : Jean-François NEZAN
courriel : Jean-François.Nezan@insa-rennes.fr
tél. : 02 23 23 82 59

Co-encadrant(s) : Patrick Le Callet

Objectif du stage

Le groupe Image de l'IETR développe un outil appelé SynDEx en collaboration avec l'INRIA Rocquencourt et améliore son utilisation tout au long du développement d'un système embarqué temps réel. L'objectif principal est de définir une méthodologie permettant à un utilisateur d'implanter, de manière automatique et optimisée, des algorithmes de traitement des images sur des systèmes électroniques complexes [1].

L'outil SynDEx permet de décrire nos applications de traitement du signal sous la forme d'un graphe flot de donnée et de contrôle. Le contrôle est représenté sous la forme d'un conditionnement. Le graphe flot de données est constitué d'opérations (sommets du graphe) reliées par des données (arcs du graphe). La phase d'adéquation est un ensemble de transformations des graphes d'algorithme et d'architecture aboutissant à la description d'implantations multiprocesseurs.

Actuellement, une opération qui est utilisée plusieurs fois est dupliquée dans le graphe avant la phase d'adéquation. Il en résulte que l'adéquation permet de paralléliser cette opération répétée sur plusieurs processeurs. En revanche, si cette opération est portée sur un unique processeur, le code résultant de l'adéquation fera appel à celle-ci autant de fois que nécessaire (déroulage de boucle). Des tests sur des applications complexes de compression vidéo (Mpeg-4, H264) ont montrés que l'on pouvait alors aboutir à un code généré trop complexe pour être compilé [2]. Une solution est alors de contracter ces appels dans des boucles. Cette solution ne permet plus la répartition des calculs sur plusieurs processeurs mais convient lors d'une exécution monoprocesseur.

Travail à réaliser

Le travail est de trouver un compromis entre le déroulage des boucles et la contraction de ces boucles afin d'exploiter le meilleur partitionnement de l'application et optimiser la génération de code. Il s'agira d'étudier la littérature, sur l'optimisation des nids de boucles [3], de proposer une approche compatible avec la modélisation utilisée sous le logiciel SynDEx et d'en élaborer l'implantation dans le logiciel.

Références

- [1] T. Grandpierre. *Modélisation d'architectures parallèles hétérogènes pour la génération automatique d'exécutifs distribués temps réel optimisés*. PhD thesis, Université de Paris Sud, Spécialité électronique, Novembre 2000.
- [2] J.-F. Nezan, O. Déforges, and M. Raullet. Fast Prototyping Methodology for Distributed and Heterogeneous Architectures : Application to Mpeg-4 Video Tools. In *Design Automation for Embedded Systems*, chapter Vol 9, pages pp141–154. Springer Science + Business Media,, December 2004.

- [3] P. Boulet, A. Darte, G-A Silber, and F. Vivien. Loop parallelization algorithms from parallelism extraction to code generation. In *Journal of Parallel Computing, Special Issue on Languages and Compilers for Parallel Computers*. 1998.